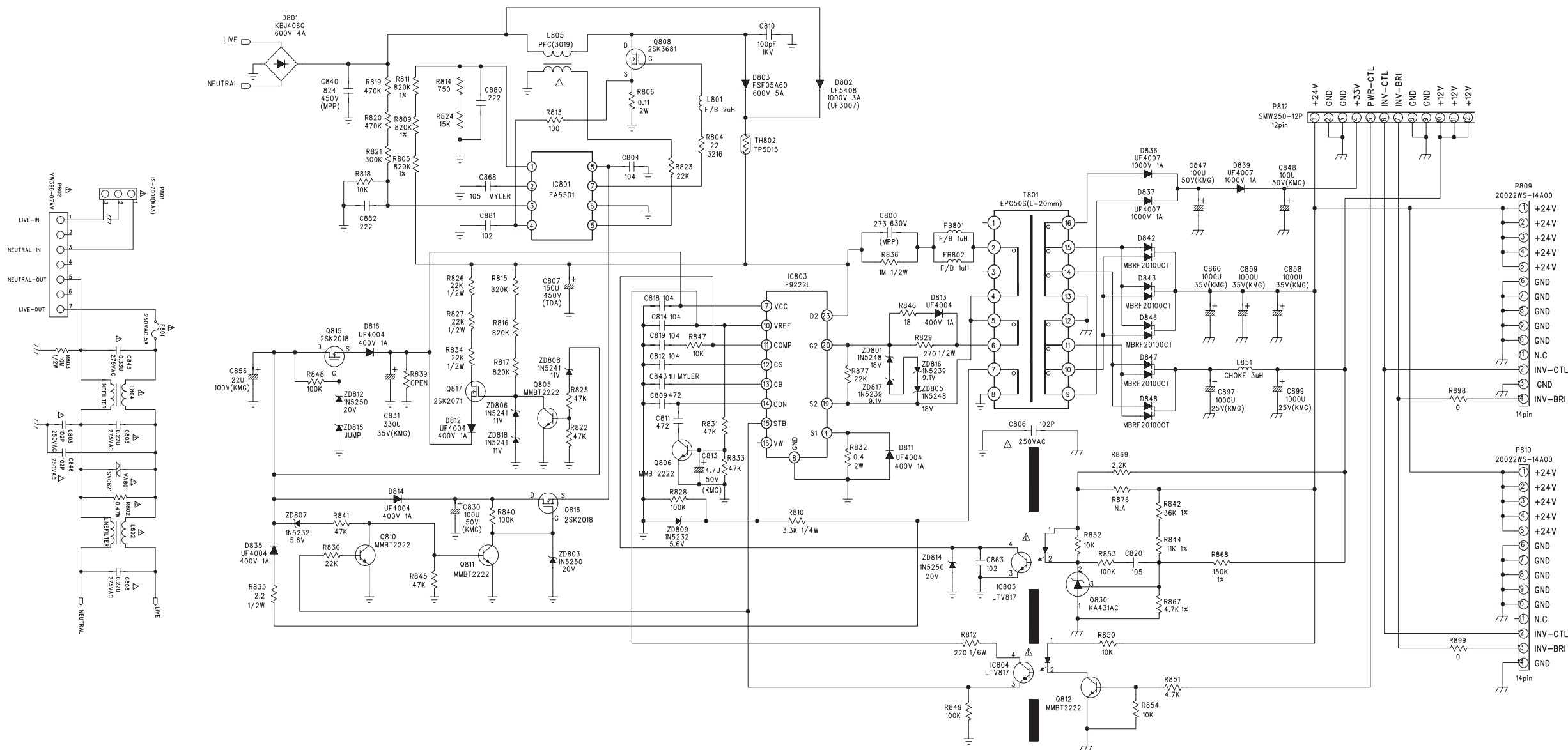




とダイオードは、ゲート電圧をターンオン時には緩やかに、ターンオフ時には高速に変化させることにより、Q1 と Q2 が同時にオンして短絡電流が流れるのを防ぐように設定する。

制御電源巻線 P3 に並列に接続した抵抗とダイオードの回路は、絶縁トランス一次巻線電圧 (V_{P1}) を間接的に P3 の電圧で検出し、制御 IC の信号レベルに変換する回路である。制御 IC は、 V_{P1} が負から正へ零クロスするタイミングを検出し、短絡防止期間 (T_d) を経たのちに Q1 をターンオンさせる。

出力電圧制御は、出力電圧調整回路の信号を電圧指令値として制御 IC にフィードバックして行う。制御 IC は、その電圧指令値と V_{P1} が負から正へ零クロスするタイミングから時間に比例して増加する参照信号とを比較し、出力電圧が一定になるように Q1 をパルス幅制御する。

また、Q1 オン時に V_{P1} が正から負へ零クロスするタイミングを検出した場合、強制的に Q1 をターンオフさせる機能を有しており、Q2 オフと Q1 オンの切換信号、および Q1 オフと Q2 オンの切換信号を絶縁トランスからの指令として受ける。そのためオン信号からのデッドタイムを設けておけば共振はずれによる貫通電流が発生しない。

③ M-Power 2 シリーズの概要

前記の電源システムを容易に構成するためのパワーデバイス M-Power 2 シリーズを開発したので紹介する。

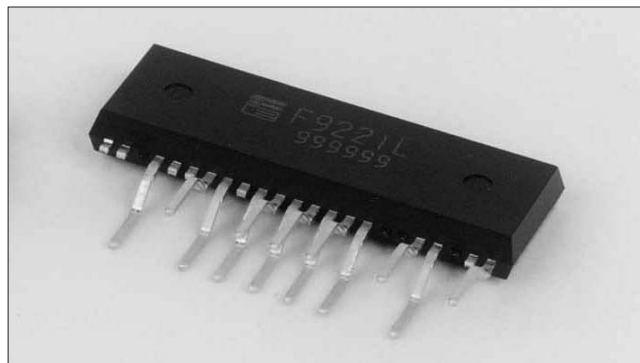
表 1 に M-Power 2 シリーズの系列表を示す。また、図 3 に M-Power 2 の外観を、図 4 にはその等価回路図を示す。

構造はオールシリコンのマルチチップ構成を採用し、IC と MOSFET 2 個 (Q1, Q2) を一つのパッケージに収

表 1 系列表

分類 型式	MOSFET (Q1)		MOSFET (Q2)		制御 IC		P_o (W)
	V_{DS}	$R_{DS(ON)}$	V_{DS}	$R_{DS(ON)}$	$V_{CC(ON)}$	T_{KH}	
F9221L	500 V	0.9 Ω (最大)	500 V	0.9 Ω (最大)	16.5 V	125 ~ 150	100 W
F9222L	500 V	0.6 Ω (最大)	500 V	0.6 Ω (最大)	16.5 V	125 ~ 150	120 W

図 3 M-Power 2 の外観



納した。外形は高さ 10 mm、幅 30 mm、厚さ 3.5 mm とコンパクトな SIP (Single Inline Package) とし、薄型電源に対応している。このようなコンパクトなパッケージながら、放熱フィンなしで F9221L では 100 W 出力、F9222L では 150 W 出力のスイッチング電源に適用可能である。

複合共振型制御専用開発した IC は、Q1 を PWM 制御する演算機能と、待機機能、保護機能を有している。特に待機機能として待機モード切換機能、待機モード時にバースト動作するための演算機能、トランスからの発生音対策としてのソフトスタート、ソフトエンド制御機能が内蔵されているのが特徴である。ソフトスタート、ソフトエンド制御機能については後述の試作電源の説明に詳細を記述する。

保護機能としてはラッチ停止機能付きの過電流保護、負荷短絡保護、過熱保護、過電圧保護と低動作電圧保護を有している。さらに MOSFET と端子の配線に直径 300 μ m のアルミ線を用いて防爆性を確保したことにより、安全性の高い電源を設計しやすくしている。また過電流保護には 0.1 秒の不感時間を設けて、出力の急変に対し安定な電源を設計できるよう配慮されている。

IC には待機電力低減を狙い CMOS (Complementary MOS) プロセスを採用している。

④ 試作電源の動作波形と電源特性

図 5 に M-Power 2 シリーズの F9221L を使用した電源回路構成を示す。出力は 16 V/4.7 A、5 V/1 A の 2 出力とし、5 V 出力をフィードバック制御し定電圧化する。また、出力電力が 80 W となるため、入力高調波対策として DC-DC コンバータ前段に PFC (Power Factor Correction) 回路を接続している。PFC 用 MOSFET には 2SK 3469 (富士電機製 SuperFAP-G シリーズ)、PFC 用昇圧ダイオードには YG963S6 (富士電機製 SuperLLD シリーズ)、PFC 用 IC には FA5501 (富士電機製) を使用し、PFC 回路の効率向上を図っている。また、待機信号により DC-DC コンバータを待機モードに切り換えると同時に

図 4 等価回路図

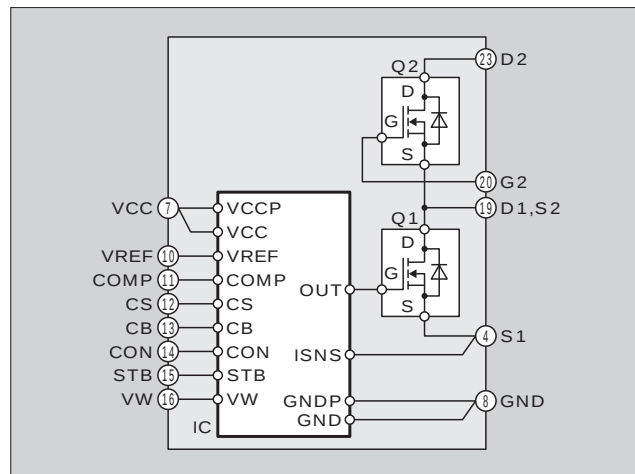


図5 試作評価器の電源回路構成

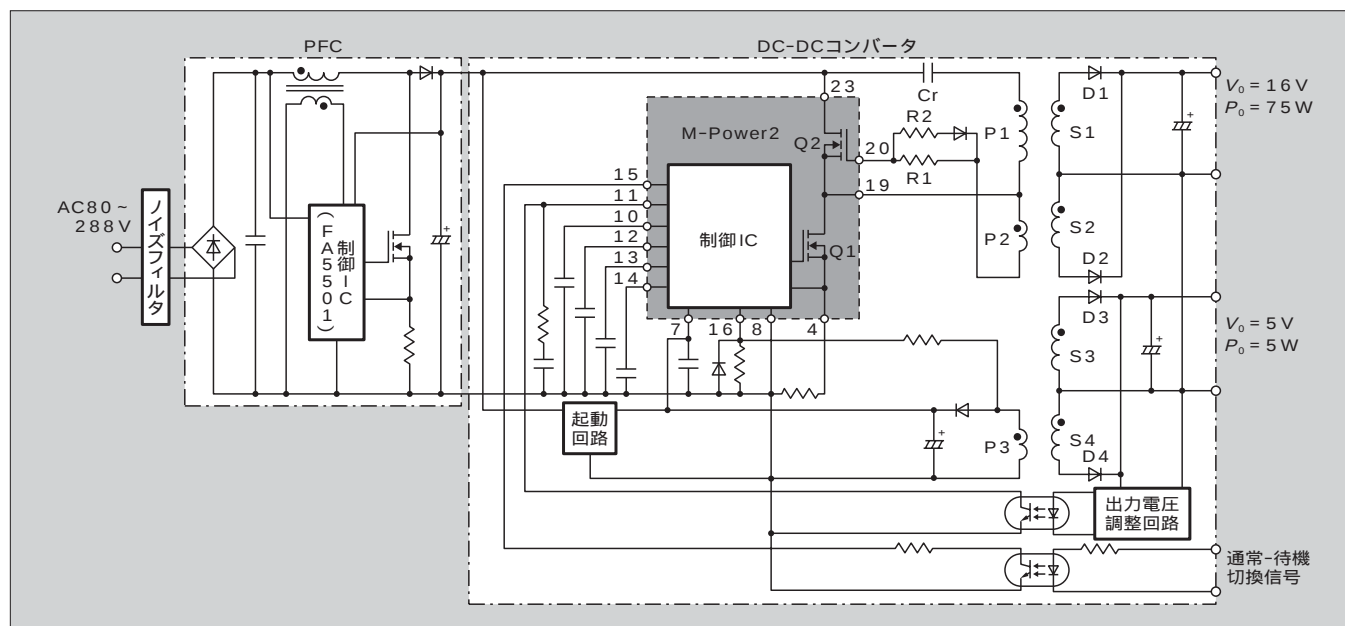
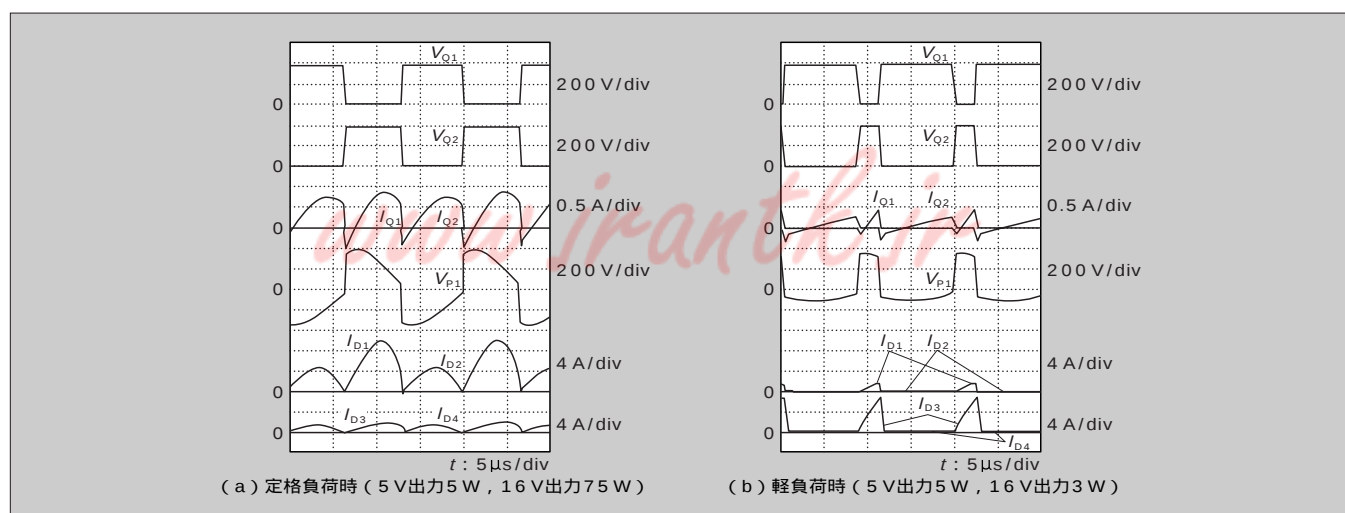


図6 通常モード時の動作波形

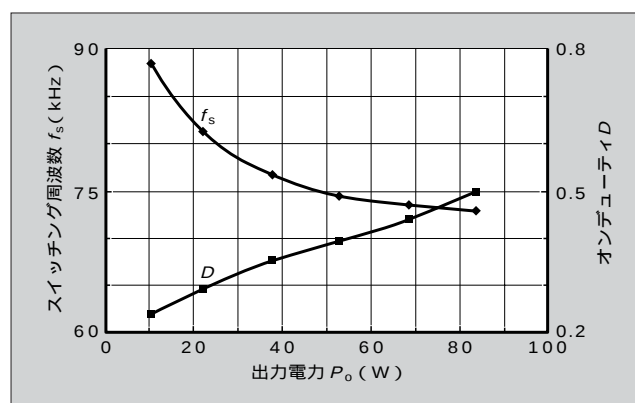


PFCを停止させ、待機時の入力電力を低減している。

図6に通常モード時の動作波形を示す。Q1, Q2は交互にオンオフし、負荷側に正弦波状の共振電流を供給している。また、各MOSFETのターンオン時にはドレイン電流が負に流れている。この期間にゲート電圧を印加することにより零電圧スイッチングとなり、ターンオン損失が発生しない。図7にスイッチング周波数とオンデューティ特性を示す。オンデューティは定格負荷付近で0.5となる。軽負荷時にはQ1のオンデューティだけ小さくなるため、スイッチング周波数は軽負荷になると上昇する。しかし、定格負荷の10%負荷で周波数上昇率は20%程度と小さい。図8に通常モード時の効率・力率特性を示す。定格出力で効率87%以上、力率0.98以上を達成している。

図9に待機モード時の動作波形を示す。図中の V_{CS} はF9221Lに接続するソフトスタートコンデンサの電圧波形である。単純にバースト発振動作させると絶縁トランスか

図7 スwitchング周波数とオンデューティ特性



ら耳障りな音が発生するが、その原因はトランスに流れる電流変化が急峻（きゅうしゅん）なためである。F9221Lではトランスに流れる電流（ I_{P1} ）を緩やかに増加・減少

